

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-070122

(43)Date of publication of application : 12.03.1996

(51)Int.Cl.

H01L 29/78
H01L 21/336
H01L 21/8238
H01L 27/092

(21)Application number : 06-204980

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 30.08.1994

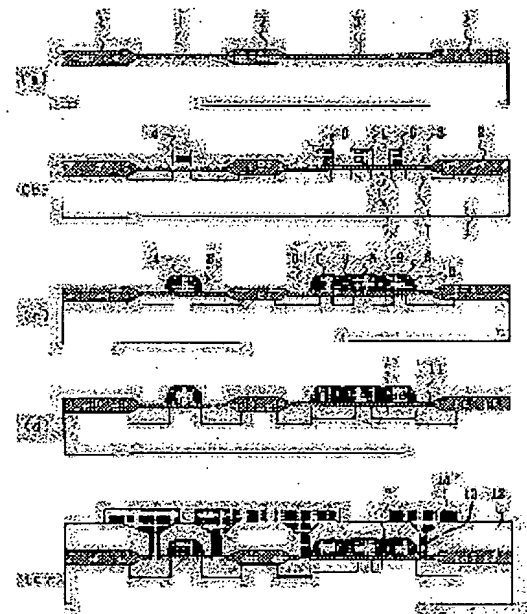
(72)Inventor : KURODA SHUNICHI

(54) MOS TRANSISTOR AND ITS FABRICATION

(57)Abstract:

PURPOSE: To obtain an MOS transistor having constant characteristics by setting a constant length for LDD layer thereby eliminating the variation of g_m (transconductance).

CONSTITUTION: A gate electrode 5 and a polysilicon electrode 6, spaced apart therefrom at least on the drain side, are formed on a gate oxide 3 deposited on a P-type semiconductor substrate 1. An N-type LDD layer 7 is connected with the gate electrode 5 or brought close thereto under the gate electrode 5 and an oxide is deposited between the gate electrode 5 and the polysilicon electrode 6 spaced apart therefrom. A side wall 10 is provided on the outside of the polysilicon electrode 6 and an N-type source-drain layer 11 having higher concentration than the N-type LDD layer 7 is provided on the opposite outsides of the side wall 10.



LEGAL STATUS

[Date of request for examination] 17.11.2000

[Date of sending the examiner's decision of rejection] 21.05.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-70122

(43)公開日 平成8年(1996)3月12日

(51)Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78
21/336
21/8238

H 0 1 L 29/ 78 3 0 1 L
27/ 08 3 2 1 E

審査請求 未請求 請求項の数6 O L (全 9 頁) 最終頁に続く

(21)出願番号 特願平6-204980

(22)出願日 平成6年(1994)8月30日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 黒田 俊一

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

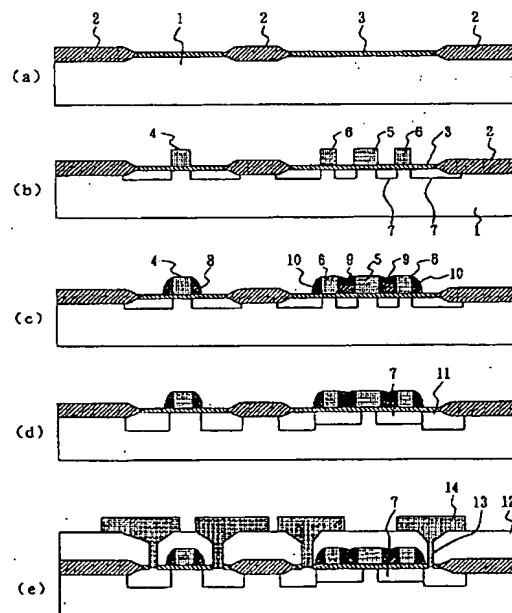
(74)代理人 弁理士 清水 守 (外1名)

(54)【発明の名称】 MOSトランジスタ及びその製造方法

(57)【要約】

【目的】 LDD層の長さを一定とし、gm(相互コンダクタンス)の変化をなくし、トランジスタ特性が一定のMOSトランジスタ及びその製造方法を提供する。

【構成】 P型半導体基板1上のゲート酸化膜3上にゲート電極5と、このゲート電極5の少なくともドレイン側に離間した多結晶シリコン電極6を有し、ゲート電極5下でN型LDD層7が拡散により接続又は近接されており、ゲート電極5と離間した多結晶シリコン電極6間に酸化膜が設けられ、この離間した多結晶シリコン電極6の外側にサイドウォール10を有し、このサイドウォール10の両外側に、濃度がN型LDD層7より高いN型ソース/ドレイン層11を有する。



1: P型半導体基板 2: フィールド酸化膜 3: ゲート酸化膜
4, 5: ゲート電極 7: N型LDD層 8, 10: サイドウォール
9: 酸化膜 11: N型ソース/ドレイン層 12: CVD酸化膜
13: コンタクトホール 14: A1配線

【特許請求の範囲】

【請求項1】 基板上のゲート酸化膜上にゲート電極と該ゲート電極の少なくともドレイン側に離間した多結晶シリコン電極を有し、前記ゲート電極下でLDD層が拡散により接続又は近接されており、前記ゲート電極と離間した多結晶シリコン電極間に絶縁膜が設けられ、該離間した多結晶シリコン電極の外側にサイドウォールを有し、該サイドウォールの両外側に濃度がLDD層より高いソース/ドレイン層を有することを特徴とするMOSトランジスタ。

【請求項2】 請求項1記載のMOSトランジスタにおいて、前記離間した多結晶シリコン電極がアクティブ領域のエッジを覆い隠すように口字形に形成されていることを特徴とするMOSトランジスタ。

【請求項3】 請求項1記載のMOSトランジスタにおいて、前記絶縁膜はCVD酸化膜、PSG膜又はレジストであるMOSトランジスタ。

【請求項4】 基板上のゲート酸化膜上にゲート電極と該ゲート電極の少なくともドレイン側に離間した多結晶シリコン電極を有し、前記ゲート電極下でLDD層が拡散により接続又は近接されており、前記ゲート電極と離間した多結晶シリコン電極間が第2の多結晶シリコン膜で埋められており、前記ゲート電極と、前記LDD層上に形成されている離間した多結晶シリコン電極とが電気的に接続されていることを特徴とするMOSトランジスタ。

【請求項5】 (a) 基板上にゲート酸化膜を形成後、ゲート電極を形成すると同時に、該ゲート電極の少なくともドレイン側に離間した多結晶シリコン電極を形成する工程と、(b) LDD層形成のためのイオン注入を行う工程と、(c) 絶縁膜を全面に形成後、異方性エッチングを行い、前記ゲート電極と前記多結晶シリコン電極との間を絶縁膜で埋めるとともに、前記多結晶シリコン電極のサイドウォールを形成する工程と、(d) ソース/ドレイン層形成のためのイオン注入を行う工程とを順に施すことを特徴とするMOSトランジスタの製造方法。

【請求項6】 (a) 基板上にゲート酸化膜を形成後、ゲート電極を形成すると同時に、該ゲート電極の少なくともドレイン側に離間した多結晶シリコン電極を形成する工程と、(b) LDD層形成のためのイオン注入を行う工程と、(c) 第2の多結晶シリコン膜を全面に形成後、異方性エッチングを行い、前記ゲート電極と前記多結晶シリコン電極との間を前記第2の多結晶シリコン膜で埋めるとともに、前記多結晶シリコン電極のサイドウォールを形成する工程と、(d) ソース/ドレイン層形成のためのイオン注入を行う工程とを順に施すことを特徴とするMOSトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、MOSトランジスタの

構造及びその製造方法に関するものである。

【0002】

【従来の技術】 従来、このような分野の技術としては、例えば、以下に示すようなものがあった。図2はかかる従来のMOSトランジスタの製造工程断面図である。

(1) まず、図2(a)に示すように、P型半導体基板101上に、既知の技術を用いてフィールド膜102を形成し、素子形成領域(アクティブ領域)を形成する。その後、ゲート酸化膜103を形成する。

10 【0003】 (2) 次に、図2(b)に示すように、多結晶シリコンを全面に形成後、Asをドーピングし、既知のホトリソ/エッチング技術を用いて、ゲート電極104を形成する。その後、LDD層をP⁺(磷イオン) 2×10^{13} ions/cm²、30KeVの条件でイオン注入し、N⁻LDD層105を形成する。

(3) 次に、図2(c)に示すように、PSGを形成後、全面異方性エッチングを行い、サイドウォール106をゲート電極104側壁に形成する。

20 【0004】 (4) 次に、図2(d)に示すように、ホトリソを行い、出力(HV)用トランジスタ領域にレジスト107を形成し、ソース/ドレイン層形成のためのイオン注入を、40KeV、As⁺(砒素イオン) 2×10^{16} ions/cm²の条件で行い、N⁺ソース/ドレイン(S/D)拡散層108を形成する。

(5) 次に、図2(e)に示すように、CVD酸化膜109を形成後、コンタクトホール110を開孔し、配線金属をバターニングして、電極111を形成する。

【0005】

30 【発明が解決しようとする課題】 しかしながら、上記した従来のMOSトランジスタの製造方法では、以下のような問題があった。

(1) N⁺ソース/ドレイン(S/D)拡散層を形成する際、出力(HV)用トランジスタはLDD層部分を広く、すなわち、ゲート電極とN⁺ソース/ドレイン(S/D)拡散層間の距離を広くとらないと、耐圧(BV_sd)が低下してしまい、出力(HV)用トランジスタとしての機能を果たすことができない。

40 【0006】 これは、ゲート電極-N⁺ソース/ドレイン(S/D)拡散層の間隔がロジック(LV)用トランジスタと同様の幅(サイドウォールの幅)であると、N型拡散層側に伸びる空乏層がN⁺ソース/ドレイン(S/D)の高濃度層とぶつかって、電界集中を起こしてしまうことになり、LDD層部分を長くとる必要があるからである。

【0007】 しかし、以上述べた方法では、出力(HV)用トランジスタのLDD層を長くとるためにレジストを用いているため、

(i) マスク合わせ精度、余裕を確保する必要があるため、耐圧向上のために必要なLDD層の長さ以上にLDDの長さを設定しなければならず、素子が大きくなる。

3

【0008】(ii) マスク合わせズレにより、LDD層の長さがばらつくため、gm(相互コンダクタンス)が変化し、トランジスタ特性が一定のトランジスタを製造することが困難であった。

本発明は、このような状況を考慮し、LDD層の長さを一定となし、gm(相互コンダクタンス)の変化をなくし、トランジスタ特性が一定のMOSトランジスタ及びその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は、上記目的を達成するために、

(A) 図1、図8及び図10に示すように、基板(1, 50, 71)上のゲート酸化膜(3, 53, 73)上にゲート電極(5, 54, 75)とこのゲート電極(5, 54, 75)の少なくともドレイン側に離間した多結晶シリコン電極(6, 55, 76)を有し、前記ゲート電極(5, 54, 75)下でLDD層(7, 51, 77)が拡散により接続又は近接されており、前記ゲート電極(5, 54, 75)と離間した多結晶シリコン電極(6, 55, 76)間に絶縁膜(9, 56, 78)が設けられ、この離間した多結晶シリコン電極(6, 55, 76)の外側にサイドウォール(10, 57)を有し、このサイドウォール(10, 57)の両外側に濃度がLDD層(7, 51, 77)より高いソース/ドレイン層(11, 52, 79)を有する。

【0010】(B) 図11~13に示すように、ゲート電極(82, 84, 86)と離間した多結晶シリコン電極(83, 85, 87)がアクティブ領域(81)のエッジ(81a)を覆い隠すように口字形に形成されている。

(C) 図1、図8及び図10に示すように、前記絶縁膜(9, 56, 78)はCVD酸化膜(9)、PSG膜(56)又はレジスト(78)である。

【0011】(D) 図14に示すように、基板(91)上のゲート酸化膜(93)上にゲート電極(94)とこのゲート電極(94)の少なくともドレイン側に離間した多結晶シリコン電極(95)を有し、前記ゲート電極(94)下でLDD層(96)が拡散により接続又は近接されており、前記ゲート電極(94)と離間した多結晶シリコン電極(95)間が第2の多結晶シリコン膜(97)で埋められており、前記ゲート電極(94)と、前記LDD層(96)上に形成されている離間した多結晶シリコン電極(95)とが電気的に接続されている。

【0012】(E) 図1、図8及び図10に示すように、基板(1, 50, 71)上にゲート酸化膜(3, 53, 73)を形成後、ゲート電極(5, 54, 75)を形成すると同時に、このゲート電極(5, 54, 75)の少なくともドレイン側に離間した多結晶シリコン電極(6, 55, 76)を形成する工程と、LDD層(7,

4

51, 77)形成のためのイオン注入を行う工程と、絶縁膜(9, 56, 78)を全面に形成後、異方性エッチングを行い、前記ゲート電極(5, 54, 75)と前記多結晶シリコン電極(6, 55, 76)との間を絶縁膜(9, 56, 78)で埋めるとともに、前記多結晶シリコン電極(6, 55)のサイドウォールを形成する工程と、ソース/ドレイン層(11, 52, 79)形成のためのイオン注入を行う工程とを順に施すようにしたものである。

【0013】(F) 図14に示すように、基板(91)上にゲート酸化膜(93)を形成後、ゲート電極(94)を形成すると同時に、このゲート電極(94)の少なくともドレイン側に離間した多結晶シリコン電極(95)を形成する工程と、LDD層(96)形成のためのイオン注入を行う工程と、第2の多結晶シリコン膜を全面に形成後、異方性エッチングを行い、前記ゲート電極(94)と前記多結晶シリコン電極(95)との間を第2の多結晶シリコン膜(97)で埋めるとともに、前記多結晶シリコン電極(95)のサイドウォール(98)を形成する工程と、ソース/ドレイン層(99)形成のためのイオン注入を行う工程とを順に施すようにしたものである。

【0014】

【作用】本発明によれば、上記のように構成したので、

(1) 請求項1~3記載の発明によれば、一定したLDD層長を得ることができ、gm(相互コンダクタンス)の変化をなくし、トランジスタ特性が一定のMOSトランジスタを得ることができる。また、素子の寸法を縮小できる。

【0015】(2) 請求項4記載の発明によれば、LDD層上が全てゲート電極となるため、ゲートオーバーラップLDD(GOLD)構造となり、ライフタイムの向上を図ることができる。

(3) 請求項5記載の発明によれば、LDD層の長さL₂は多結晶シリコン電極(例えば、幅1μm)とサイドウォールのみによって決定され、N⁺ドレイン層を形成するためのイオン注入はサイドウォール端(B部)にセルフアラインとなる。また、多結晶シリコン電極は、一定の値をとることができ、LDD層長さは一定値にすることができ。

【0016】(4) 請求項6記載の発明によれば、簡単な工程と材料でゲートオーバーラップLDD(GOLD)を製造することができる。

【0017】

【実施例】以下、本発明の実施例を図面を参照しながら説明する。図1は本発明の第1実施例を示すMOSトランジスタの製造工程断面図である。

(1) まず、図1(a)に示すように、P型半導体基板1上にフィールド酸化膜2及びゲート酸化膜3を形成する。

50

5

【0018】(2) 次に、図1(b)に示すように、多結晶シリコンを前記P型半導体基板1上全面に形成後、この多結晶シリコンに導伝性を持たせるため、イオン注入もしくは不純物拡散法を用いてドーピングを行う。次に、ゲート電極形成を行うため、ロジック(LV)用トランジスタのゲート電極4と、出力(HV)用トランジスタのゲート電極5及びこの出力(HV)用トランジスタのゲート電極5の両側に多結晶シリコン電極6を、既知のホトリソ/エッチング技術を用いて同時に形成する。引き続き、N型LDD層7をイオン注入法により形成する。

【0019】(3) 次に、図1(c)に示すように、CVD法により、酸化膜を堆積後、異方性エッチングを行い、ロジック(LV)用トランジスタのゲート電極4の側壁にサイドウォール8を形成するとともに、出力(HV)用トランジスタのゲート電極5と、その両側に形成してある多結晶シリコン電極6との間に酸化膜9、10を形成する。

【0020】(4) 次に、図1(d)に示すように、N型(N⁺)ソース/ドレイン層11をイオン注入法により形成する。

(5) 次に、図1(e)に示すように、CVD酸化膜12を形成後、コンタクトホール13を形成し、Al配線14を形成して、出力(HV)用トランジスタ及びロジック(LV)用トランジスタを形成する。

【0021】なお、本実施例ではNMOSを用いたが、PMOS、CMOSも同様に製造することができる。図3は本発明のNMOSと従来のNMOSとのLDD層の比較を示す。図3(a)は従来のNMOSのLDD層の断面図であり、LDD層105の長さL₁は、その上部に形成されているレジスト107により決定される。N⁺ドレイン層108を形成するためのイオン注入は、レジスト右端(A部)により決まるが、レジスト形成の際、A部がばらつくため、一定したLDD層長L₁は得られない。因みに、サイドウォール106の幅は、例えば、0.2μm、サイドウォール106とレジスト右端(A部)は合わせ余裕を入れて2μmを要する。

【0022】これに対して、図3(b)は本発明のNMOSのLDD層の断面図であり、N型LDD層7の長さL₂は多結晶シリコン電極(例えば、幅1μm)6とサイドウォール9、10のみによって決定され、N⁺ドレイン層11を形成するためのイオン注入は、サイドウォール端(B部)にセルフアラインとなる。多結晶シリコン電極6は、ゲート・ホトリソ/エッチングで一度に形成できるため、L₂はマスク寸法(例えば、0.3μm)で、またサイドウォール幅L₄(0.2μm)は、多結晶シリコン電極6の膜厚とCVD酸化膜厚により決まるため、一定の値をとることができ、L₂は一定値(例えば、1.5μm)になる。

【0023】したがって、本発明によれば、素子の寸法

6

を縮小できるとともに、LDD層長が一定になるため、gmの一定したトランジスタを得ることができる。次に、上記したゲート電極とその両側に形成される多結晶シリコン電極の接続について説明する。

(1) 図4は本発明の第1実施例を示すゲート電極に対して両側の多結晶シリコン電極を浮遊させる例を示す図である。

【0024】この図に示すように、MOSトランジスタのアクティブ領域21内に、このアクティブ領域21を横切るようにゲート電極22を配置し、そのゲート電極22の両側にアクティブ領域21を横切るように多結晶シリコン電極23を有しており、LDD層がゲート電極22両側に配置された多結晶シリコン電極23直下で拡散により接続もしくは近接(くっついていない)しており、ゲート電極22とその両側の多結晶シリコン電極23との間にCVD酸化膜が埋め込まれ、かつ、ゲート電極22の両側に配置された多結晶シリコン電極23にサイドウォールを有する構造としている。

【0025】そして、ここでは、ゲート電極22の両側に形成される多結晶シリコン電極23、23は浮遊させた状態にしておく。このように構成することにより、ゲート電極22の両側に形成される多結晶シリコン電極23、23の幅によりON電圧が決められるため、耐圧向上が図れる。

【0026】(2) 図5は本発明の第1実施例を示すゲート電極の両側に形成される多結晶シリコン電極がゲート電極と同電位になるように構成した例を示す図である。この図に示すように、ゲート電極32の両側に形成される多結晶シリコン電極33、33はゲート電極32に接続し、同電位になるように接続されている。ここで、31はアクティブ領域を示している。

【0027】このように構成することにより、ゲート電極32と、多結晶シリコン電極33、33が繋がっているため、ゲート電極32と同じ電圧がLDD層上にかけられる。したがって、LDD層上で下向き(NMOSの場合)の電界がかかることになり、ホットキャリアの酸化膜への注入が抑えられるため、トランジスタの寿命が向上する。例えば、V_{DD}=5V、V_G=2.5V(1/2V₀)の場合、寿命的に最も厳しい条件であるが、その際、多結晶シリコン電極33、33に2.5Vかかっているため、離間した多結晶シリコン電極のない普通のトランジスタに比べて、約60%トランジスタの寿命が向上する。なお、多結晶シリコン電極33、33がゲート電極32と同電位であるため、トランジスタの寸法からしても、電圧源を用意する必要がないため小さくすることができる。

【0028】ここで、上記(1)の場合と上記(2)の場合の実効チャネル長(μm)とホットキャリア耐圧

(V)特性をみると図7のようになる。ここで、ホットキャリア耐圧は、相互コンダクタンスgmの10%劣化

50

7

としている。図7より明らかなように、上記(2)の場合を示すbの場合は、ホットキャリア耐圧が8~10Vであるのに対して、上記(1)の場合を示すaの場合は、ホットキャリア耐圧が5~6Vである。

【0029】このように、bの場合は、aの場合に比べて、はるかにホットキャリア耐圧が高いことがわかる。

(3) 図6は本発明の第1実施例を示すゲート電極の両側に形成される多結晶シリコン電極を別の電位になるように構成した例を示す図である。この図に示すように、ゲート電極42の両側に形成される多結晶シリコン電極43、43はゲート電極42とは別の電位となるように、異なった電位Vが印加されるようになっている。ここで、41はアクティブ領域を示している。

【0030】このように構成することにより、ゲート電極42と多結晶シリコン電極43、43に、各々独立に異なった電位をかけることが可能である。寿命的に最も厳しい条件となる $V_g = 1/2 V_0$ の条件が、このトランジスタにかかった場合、多結晶シリコン電極43、43には V_0 と同じ電圧(電界)がかけられるため、ホットキャリア注入が抑えられ寿命が向上する。

【0031】図8は本発明の第1実施例の変形例を示すドレイン側のMOSトランジスタの断面図である。この実施例においては、N型LDD層51上のゲート電極54横の多結晶シリコン電極(例えば、2~3 μm)55の寸法により、N型LDD層51が接続するかしないかを決められる。その場合のI-V特性を図9に示す。なお、50はP型半導体基板、52はソース/ドレイン層(ここでは、ドレイン層)、53はゲート酸化膜、56はPSG膜、57はサイドウォールである。

【0032】すなわち、N型LDD層51を接続する場合は、図9(a)に示すように、立ち上がり電圧(ON電圧)は低い、N型LDD層51を接続しない場合は、図9(b)に示すように、ON電圧はA部にずれ、全体のI-Vカーブが右へシフトする。これは、ドレイン側から延びる空乏層がゲート電極54下に形成されるチャンネル(反転層)とぶつかって、はじめて電流が流れるため、この空乏層がチャンネルにぶつかるA部(図9(b)参照)が多結晶シリコン電極55により、自由に制御できるため、出力(HV)用トランジスタの保護トランジスタとしての設計度が増し、ESD(Electro-Static Discharge)用保護トランジスタの設計が容易になるという効果が得られる。

【0033】図10は本発明の第2実施例を示すMOSトランジスタの製造工程断面図である。

(1) まず、図10(a)に示すように、P型半導体基板71上にフィールド酸化膜72及びゲート酸化膜73を形成する。

(2) 次に、図10(b)に示すように、多結晶シリコンを前記P型半導体基板71上全面に形成後、この多結晶シリコンに導電性を持たせるため、イオン注入もしく

8

は不純物拡散法を用いてドーピングを行う。

【0034】次いで、ゲート電極を形成するため、ロジック(LV)用トランジスタのゲート電極74と、出力(HV)用トランジスタのゲート電極75及びこの出力(HV)用トランジスタのゲート電極75の両側に多結晶シリコン電極76を、既知のホトリソ/エッチング技術を用いて同時に形成する。引き続き、N型LDD層77をイオン注入法により形成する。

【0035】(3) 次に、図10(c)に示すように、出力(HV)用トランジスタのゲート電極75上及びそのゲート電極75の少なくともドレイン側に形成してある多結晶シリコン電極76上に、この多結晶シリコン電極76-多結晶シリコン電極76間を覆い隠すようにレジスト78を形成する。

(4) 次に、図10(d)に示すように、N型ソース/ドレイン層(ここではドレイン層)79をイオン注入法により形成する。

【0036】このように、CVD酸化膜形成、及びエッチングの代わりにレジストのホトリソを行った後、S/Dイオン注入を行うようにしたので、ロジック用(LV)トランジスタはLDD構造にはならないが、一工程削減できる上に、出力(HV)用トランジスタはLDD構造を有することができる。図11~図13は本発明の第3実施例を示すMOSトランジスタの平面図である。

【0037】この実施例では、ゲート電極とその両側に形成される多結晶シリコン電極の構造を口字形に配置するとともに、以下のように構成している。

(1) 図11は本発明の第3実施例を示すゲート電極に対して両側の多結晶シリコン電極を浮遊させる例を示す図である。この図に示すように、MOSトランジスタのアクティブ領域81上に、ゲート酸化膜を配置し、多結晶シリコンにてゲート電極82が形成されており、そのゲート電極82の少なくともドレイン側に前記アクティブ領域81内では、ゲート電極82に接続していない多結晶シリコン電極83が、アクティブ領域81のエッジ81a上及びゲート電極82に沿って口字形に配置されている。

【0038】このように構成することにより、アクティブ領域81のエッジ81aにおいて、LDD層(低濃度層)が形成できるため、ドレイン-基板(又はチャンネルストップ層)間の空乏層幅が、ドレイン高濃度層側にも延びるために、空乏層幅が広くなる。そのため、ドレイン-基板間の接合容量を低減することができ、従来のトランジスタに比べて高速のトランジスタを形成することができる。

【0039】(2) 図12は本発明の第3実施例を示すゲート電極の両側に形成される多結晶シリコン電極がゲート電極と同電位になるように構成した例を示す図である。この図に示すように、ゲート電極84の両側に形成される多結晶シリコン電極85、85はゲート電極84

に接続し、同電位になるように接続されている。

(3) 図13は本発明の第3実施例を示すゲート電極の両側に形成される多結晶シリコン電極を別の電位になるように構成した例を示す図である。

【0040】この図に示すように、ゲート電極86の両側に形成される多結晶シリコン電極87、87はゲート電極86とは別の電位となるように、異なった電位Vが印加されるようになっていて、図14は本発明の第4実施例を示すMOSトランジスタのドレイン側の断面図である。

【0041】この図に示すように、P型半導体基板91上にフィールド酸化膜92及びゲート酸化膜93が形成され、出力(HV)用トランジスタのゲート電極94及びこの出力(HV)用トランジスタのゲート電極94横の多結晶シリコン電極95を既知のホトリソ/エッチング技術を用いて同時に形成する。引き続き、N型LDD層96をイオン注入法により形成する。

【0042】次に、CVD法により、酸化膜を堆積後、異方性エッチングを行い、出力(HV)用トランジスタのゲート電極94と、その横に離間している多結晶シリコン電極95との間に第2の多結晶シリコン膜97及びサイドウォール98を形成する。つまり、第1実施例においては、サイドウォールを形成する材料がCVD SiO₂であったが、これを多結晶シリコンに変更し、ゲート電極94と多結晶シリコン電極95を多結晶シリコンで接続するようにしたものである。なお、99はN型ソース/ドレイン層(ここでは、ドレイン層)である。

【0043】このように構成することにより、N型LDD層96上が全てゲート電極となるため、ゲートオーバーラップLDD(GOLD)構造となり、ライフタイムの向上を図ることができる。また、簡単な工程と材料でゲートオーバーラップLDD(GOLD)を製造することができる。

【0044】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0045】

【発明の効果】以上、詳細に説明したように、本発明によれば、以下のような効果を奏することができる。

(1) 請求項1～3記載の発明によれば、一定したLDD層長を得ることができ、gm(相互コンダクタンス)の変化をなくし、トランジスタ特性が一定のMOSトランジスタを提供することができる。

【0046】(2) 請求項4記載の発明によれば、LDD層上が全てゲート電極となるため、ゲートオーバーラップLDD(GOLD)構造となり、ライフタイムの向上を図ることができる。

(3) 請求項5記載の発明によれば、LDD層の長さL₂は多結晶シリコン電極(例えば、幅1μm)とサイド

ウォールのみによって決定され、N⁺ドレイン層を形成するためのイオン注入は、サイドウォール端(B部)にセルフアラインとなる。また、多結晶シリコン電極は、一定の値をとることができ、LDD層長さは一定値にすることができる。更に、素子の寸法を縮小できる。

【0047】(4) 請求項6記載の発明によれば、簡単な工程と材料でゲートオーバーラップLDD(GOLD)を製造することができる。

【図面の簡単な説明】

10 【図1】本発明の第1実施例を示すMOSトランジスタの製造工程断面図である。

【図2】従来のMOSトランジスタの製造工程断面図である。

【図3】本発明のNMOSと従来のNMOSとのLDD層の比較を示す図である。

【図4】本発明の第1実施例を示すゲート電極に対して両側の多結晶シリコン電極を浮遊させる例を示す図である。

20 【図5】本発明の第1実施例を示すゲート電極の両側に形成される多結晶シリコン電極がゲート電極と同電位になるように構成した例を示す図である。

【図6】本発明の第1実施例を示すゲート電極の両側に形成される多結晶シリコン電極を別の電位になるように構成した例を示す図である。

【図7】本発明の第1実施例を示すMOSトランジスタの実効チャネル長(μm)とホットキャリア耐圧(V)特性図である。

【図8】本発明の第1実施例の変形例を示すドレイン側のMOSトランジスタの断面図である。

30 【図9】本発明の第1実施例を示すMOSトランジスタのLDD層の形状とI-V特性図である。

【図10】本発明の第2実施例を示すMOSトランジスタの製造工程断面図である。

【図11】本発明の第3実施例を示すゲート電極に対して両側の多結晶シリコン電極を浮遊させる例を示す図である。

【図12】本発明の第3実施例を示すゲート電極の両側に形成される多結晶シリコン電極をゲート電極と同電位になるように構成した例を示す図である。

40 【図13】本発明の第3実施例を示すゲート電極の両側に形成される多結晶シリコン電極を別の電位になるように構成した例を示す図である。

【図14】本発明の第4実施例を示すMOSトランジスタのドレイン側の断面図である。

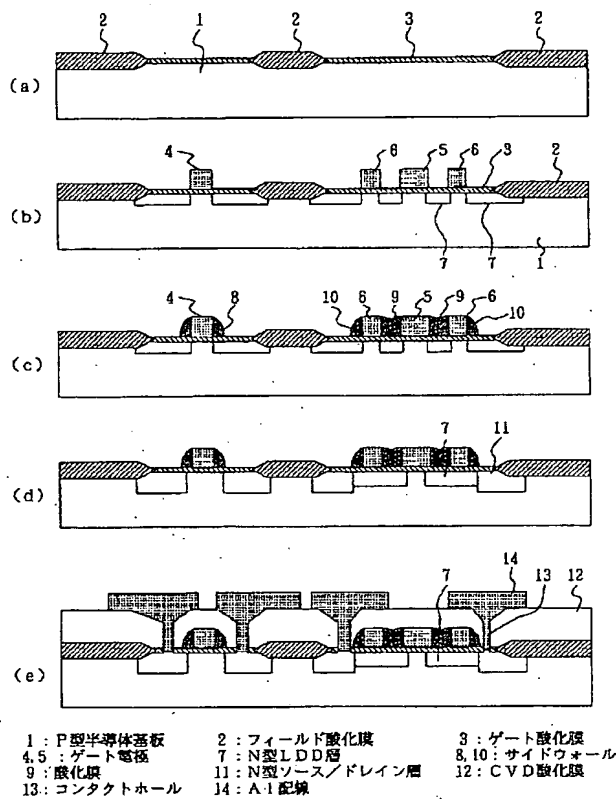
【符号の説明】

1, 50, 71, 91 P型半導体基板
2, 72, 92 フィールド酸化膜
3, 53, 73, 93 ゲート酸化膜
4, 5, 22, 32, 42, 54, 74, 75, 82,
84, 86, 94 ゲート電極

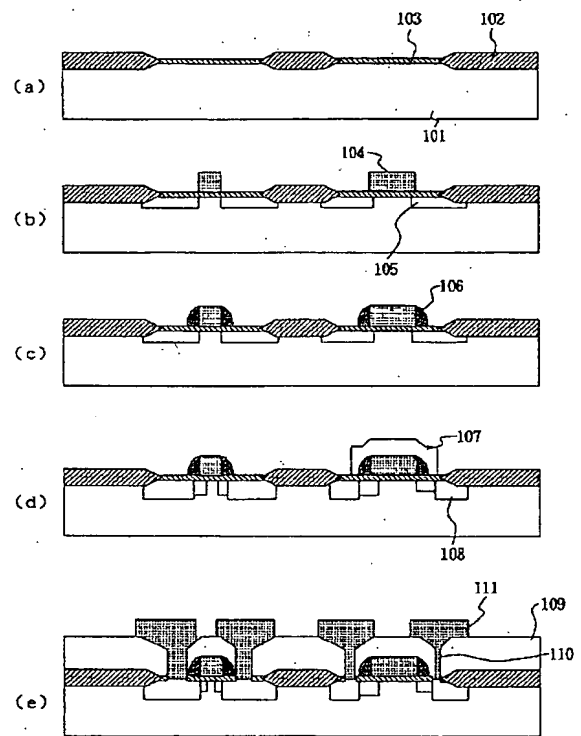
6, 23, 33, 43, 55, 76, 83, 85, 8
7, 95, 98 多結晶シリコン電極
7, 51, 77, 96 N型LDD層
8, 10, 57, 98 サイドウォール
9 酸化膜
11, 52, 79, 99 N型ソース/ドレイン層
12 CVD酸化膜

13 コンタクトホール
14 Al配線
21, 31, 41, 81 アクティブ領域
56 PSG膜
78 レジスト
81a エッジ
97 第2の多結晶シリコン膜

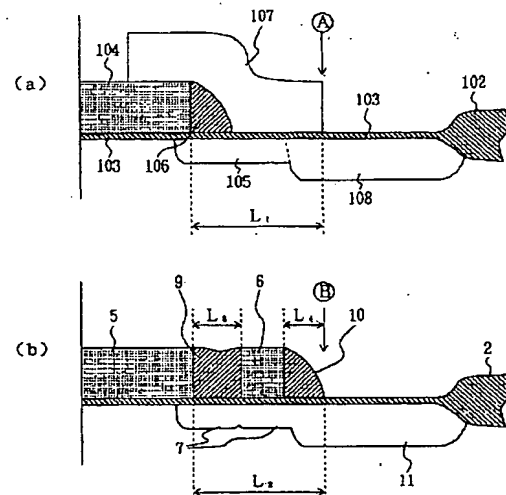
【図1】



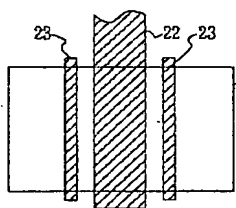
【図2】



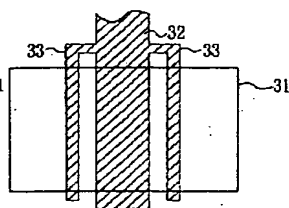
【図3】



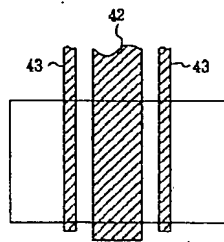
【図4】



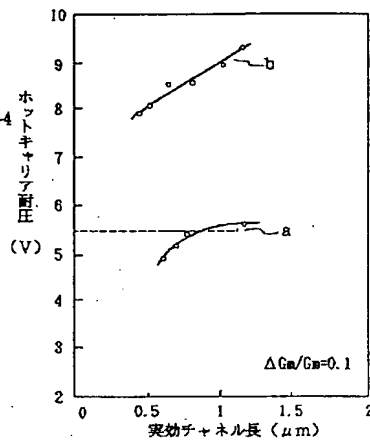
【図5】



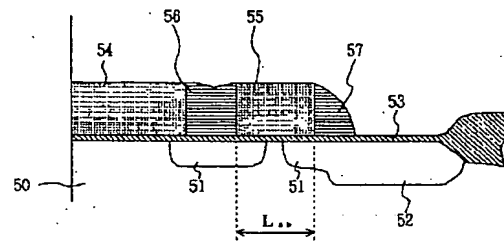
【図 6】



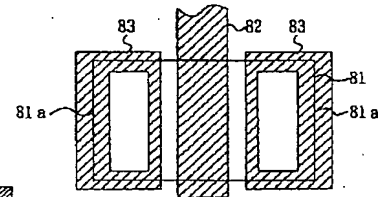
【図 7】



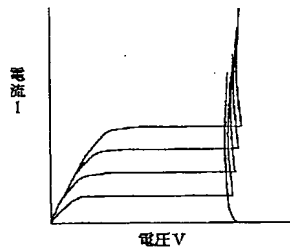
【図 8】



【図 11】

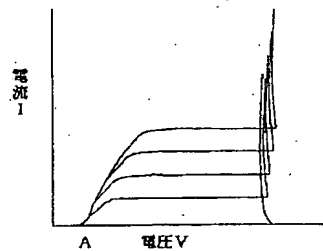
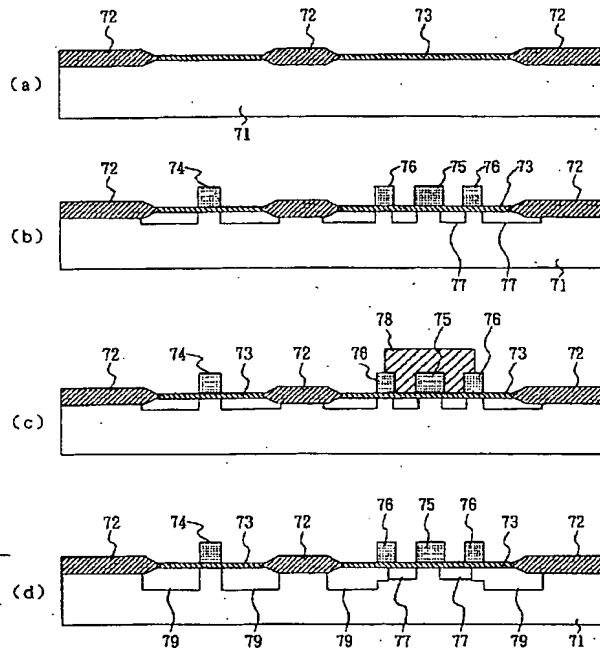


【図 9】



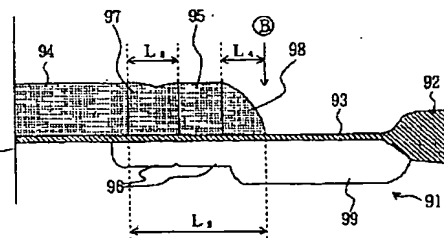
(a) LDD層 接続する場合

【図 10】

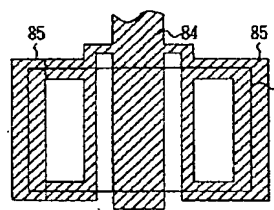


(b) LDD層 接続しない場合

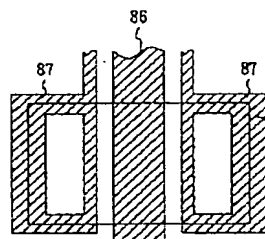
【図 14】



【図 12】



【図 13】



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/092

H 0 1 L 29/78

3 0 1 G